

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040635
 (43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H01G 4/12
 H01B 1/16
 H01G 4/232
 H01G 4/30

(21)Application number : 10-222371
 (22)Date of filing : 21.07.1998

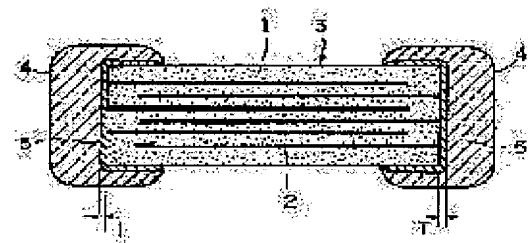
(71)Applicant : MURATA MFG CO LTD
 (72)Inventor : UCHIDA KAZUYUKI

(54) CERAMIC ELECTRONIC PART AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ceramic electronic part having an external electrode with satisfactory plating performance or connectability with an internal electrode without generating the deterioration of insulation or weather resistance due to the intrusion of plating liquid, and a method for manufacturing this ceramic electronic part.

SOLUTION: An external electrode 4 is formed by applying conductive paste containing a conductive component selected from among Cu, Ni, Ag, Pd, and Ag/Pd alloy and a glass flit selected from a group constituted of a boro-silicate zinc system glass flit, boro-silicate lead system glass flit, boro-silicate bismuth system glass flit, boro-bismuth zinc system glass flit, and boro-zinc/lead system glass flit at the rate of 5-40 pts.vol to 100 pts.vol of conductive components to an element 3, and burning this paste. Also, a reaction layer 5 whose thickness T is 0.1-3.0 μm formed after reaction of ceramic and the glass flit is formed between the external electrode 4 and the element 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40635

(P2000-40635A)

(43)公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl. ⁷	識別記号	F I	デマコード ⁸ (参考)
H 01 G 4/12	3 5 2	H 01 G 4/12	3 6 2 5 E 0 0 1
H 01 B 1/16		H 01 B 1/16	Δ 5 E 0 8 2
H 01 G 4/232		H 01 G 4/30	3 0 1 C 5 G 3 0 1
4/30	3 0 1	1/147	Δ

審査請求 未請求 請求項の数 5 FD (全 7 頁)

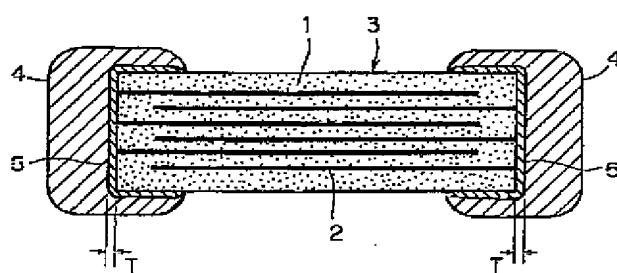
(21)出願番号	特願平10-222371	(71)出願人	000006231 株式会社村田製作所 京都府長岡市天神二丁目26番10号
(22)出願日	平成10年7月21日 (1998.7.21)	(72)発明者	内田 和行 京都府長岡市天神二丁目26番10号 株式 会社村田製作所内
(23)代理人		(74)代理人	100092071 弁理士 西澤 均
			最終頁に続く

(54)【発明の名称】 セラミック電子部品及びその製造方法

(57)【要約】

【課題】 めっき液の浸入による絶縁性の低下や耐候性の劣化を招いたりすることなく、メッキ付き性や内部電極への接続性が良好な外部電極を備えたセラミック電子部品及びその製造方法を提供する。

【解決手段】 Cu、Ni、Ag、Pd、及びAg-Pd合金から選ばれる導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれるガラスフリットとを、導電成分100体積部に対して、5~40体積部の割合で含有する導電ペーストを、素子3に塗布して焼き付けることにより、外部電極4を形成するとともに、外部電極4と素子3の間に、セラミックとガラスフリットが反応してなる、厚みTが0.1~3.0μmの反応層5を形成する。



【特許請求の範囲】

【請求項1】セラミック中に内部電極が配設された素子に、ガラスフリットを含有する導電ペーストを塗布して焼き付けることにより、内部電極と導通する外部電極を形成してなるセラミック電子部品であって、外部電極と素子の間に、前記素子を構成するセラミックと前記導電ペーストに含まれるガラスフリットが反応してなる、厚みが0.1～3.0μmの結晶質の層(反応層)が形成されていることを特徴とするセラミック電子部品。

【請求項2】Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットとを、導電成分100体積部に対して5～40体積部の割合で含有する導電ペーストを、素子に塗布して焼き付けすることにより、前記外部電極及び前記反応層が形成されていることを特徴とする請求項1記載のセラミック電子部品。

【請求項3】前記導電ペーストを素子に塗布して、500～1000°Cの温度で焼き付けることにより、前記外部電極及び前記反応層が形成されていることを特徴とする請求項2記載のセラミック電子部品。

【請求項4】請求項1～3のいずれかに記載のセラミック電子部品を製造する方法であって、

Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットとを、導電成分100体積部に対して、5～40体積部の割合で含有する導電ペーストを、セラミック中に内部電極が配設された素子に塗布して焼き付けることにより、外部電極を形成するとともに、外部電極と素子の間に、前記素子を構成するセラミックと前記導電ペーストに含まれるガラスフリットが反応してなる、厚みが0.1～3.0μmの結晶質の層(反応層)を形成することを特徴とするセラミック電子部品の製造方法。

【請求項5】前記導電ペーストを素子に塗布し、500～1000°Cの温度で焼き付けることにより、前記外部電極及び前記反応層を形成することを特徴とする請求項4記載のセラミック電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、セラミック電子部品及びその製造方法に関し、詳しくは、積層セラミックコンデンサや積層LC複合部品などのような、セラミ

ック中に内部電極が配設された素子に、内部電極と導通する外部電極を配設してなるセラミック電子部品及びその製造方法に関する。

【0002】

【従来の技術】代表的なセラミック電子部品の一つである積層セラミックコンデンサは、例えば図2に示すように、セラミック1中に内部電極2が配設された素子3の両端側に、内部電極2と導通する外部電極4を配設することにより形成されている。

【0003】ところで、外部電極4を形成する方法としては、従来、素子の両端部に、Cu、Ni、Ag、Ag-Pdなどの金属粉末(導電成分)に、ガラスフリット、有機バインダー、溶剤などを配合してなる導電ペーストを塗布し、焼き付ける方法が一般的に用いられている。

【0004】なお、導電ペーストに含まれるガラスフリットは、外部電極の素子への密着性を確保するとともに、焼き付け後に金属間の隙間や素子3を構成するセラミック1との界面を溝たして、外部電極にシール性を付与し、その後のめっき工程で、めっき液が素子3の内部に浸入することによる絶縁性の低下を防止したり、耐候性を向上させたりする役割を果たしている。

【0005】

【発明が解決しようとする課題】しかし、従来の方法では、導電ペースト中のガラスフリットが過剰になると、外部電極4の表面にガラスフリットが析出してメッキ付き性が低下したり、外部電極4と素子3を構成するセラミック1との界面へのガラスフリットの析出量が多くなりすぎて内部電極2と外部電極4の接続性が低下し、電気的接続が不十分になって、目標とする静電容量を取得することが困難になったりするという問題点がある。

【0006】本願発明は、上記問題点を解決するものであり、めっき液の浸入による絶縁性の低下や耐候性の劣化を招いたりすることなく、メッキ付き性や内部電極への接続性が良好な外部電極を備えたセラミック電子部品及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本願発明(請求項1)のセラミック電子部品は、セラミック中に内部電極が配設された素子に、ガラスフリットを含有する導電ペーストを塗布して焼き付けることにより、内部電極と導通する外部電極を形成してなるセラミック電子部品であって、外部電極と素子の間に、前記素子を構成するセラミックと前記導電ペーストに含まれるガラスフリットが反応してなる、厚みが0.1～3.0μmの結晶質の層(反応層)が形成されていることを特徴としている。

【0008】外部電極と素子の間に形成される反応層の厚みを0.1～3.0μmの範囲とすることにより、ガラスフリットが多すぎたり、少なすぎたりすることに起因する諸問題の発生を抑制することが可能になる。具体

的には、①外部電極を構成する金属間の隙間や、金属と素子を構成するセラミックとの界面にガラスフリットが入り込むことによりめっき液などに対するシール性や耐候性を向上させたり、②過剰なガラスフリットが外部電極の表面に析出することを抑制してメッキ付き性を向上させたり、③素子を構成するセラミックと外部電極との界面にガラスフリットが析出しすぎることを防止して内部電極と外部電極との接続性を向上させたりすることができるようになる。

【0009】なお、反応層の厚みを0.1～3.0μmの範囲としたのは、反応層の厚みが0.1μm未満になると、めっき劣化による絶縁抵抗不良率、及び耐湿負荷試験後の不良率が高くなり、3.0μmを超えると、静電容量、及びめっき付着面積率が低くなることによる。

【0010】また、請求項2のセラミック電子部品は、Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットとを、導電成分100体積部に対して5～40体積部の割合で含有する導電ペーストを、素子に塗布して焼き付けすることにより、前記外部電極及び前記反応層が形成されていることを特徴としている。

【0011】上記の組成の導電ペーストを、素子に塗布して焼き付けすることにより、外部電極及び反応層を効率よく形成することが可能になり、本願発明を実効あらしめることができる。

【0012】なお、ガラスフリットの配合割合を導電成分100体積部に対して5～40体積部としたのは、ガラスフリットの配合割合が5体積部未満になると、外部電極と素子の密着力が不十分になり、40体積部を超えると、外部電極の表面にガラスフリットが析出し、メッキ付き性が大幅に低下することによる。

【0013】また、請求項3のセラミック電子部品は、前記導電ペーストを素子に塗布して、500～1000°Cの温度で焼き付けることにより、前記外部電極及び前記反応層が形成されていることを特徴としている。

【0014】上記の導電ペーストを素子に塗布して500～1000°Cの温度で焼き付けることにより、外部電極と素子の間に厚みが0.1～3.0μmの反応層を、確実に、しかも効率よく形成することが可能になり、本願発明をさらに実効あらしめることが可能になる。

【0015】なお、前記導電ペーストを500～1000°Cの温度で焼き付けるようにしたのは、焼き付け温度が500°C未満の場合、外部電極の素子への密着力が不十分になり、1000°Cを超えると、外部電極の表面にガラスフリットが析出し、メッキ付き性が大幅に低下することによる。

【0016】また、本願発明（請求項4）のセラミック電子部品の製造方法は、請求項1～3のいずれかに記載のセラミック電子部品を製造する方法であって、Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットとを、導電成分100体積部に対して、5～40体積部の割合で含有する導電ペーストを、セラミック中に内部電極が配設された素子に塗布して焼き付けることにより、外部電極を形成するとともに、外部電極と素子の間に、前記素子を構成するセラミックと前記導電ペーストに含まれるガラスフリットが反応してなる、厚みが0.1～3.0μmの結晶質の層（反応層）を形成することを特徴としている。

【0017】上記の導電ペーストを素子に塗布して、素子を構成するセラミックと導電ペーストに含まれるガラスフリットが反応してなる、厚みが0.1～3.0μmの結晶質の層（反応層）が形成されるような条件で焼き付けを行うことにより、ガラスフリットが多すぎたり、少なすぎたりすることに起因する諸問題の発生を抑制することが可能な、本願発明のセラミック電子部品を確実に製造することが可能になる。

【0018】また、請求項5のセラミック電子部品の製造方法は、前記導電ペーストを素子に塗布し、500～1000°Cの温度で焼き付けることにより、前記外部電極及び反応層を形成することを特徴としている。

【0019】上記の導電ペーストを素子に塗布し、500～1000°Cの温度で焼き付けることにより、外部電極を形成する際に、同時に、セラミックとガラスフリットの反応により生成する厚みが0.1～3.0μmの反応層をより確実に形成することが可能になり、本願発明をさらに実効あらしめることができる。

【0020】

【発明の実施の形態】以下、本願発明の実施の形態を示して、その特徴とするところをさらに詳しく説明する。

【0021】【実施形態1】この実施形態では、図1に示すように、チタン酸バリウム（BaTiO₃）系のセラミック1中にPdからなる複数の内部電極2が配設された素子3の両端側に、Agを導電成分とする導電ペーストを塗布、焼き付けすることにより、内部電極2と導通する外部電極4を形成するとともに、外部電極4と素子3の間に、厚みTの反応層5を形成した積層セラミックコンデンサを製造する場合を例にとって説明する。

【0022】なお、この実施形態においては、外部電極4を形成するための導電ペーストとして、下記の組成を有する導電ペーストを用いた。

①導電成分

成分 : Ag
配合割合: 20体積部

② ガラスフリット

成分 : ホウ珪酸亜鉛系ガラスフリット

配合割合: 5体積部

③ ワニス

成分 : エチルセルロース系樹脂+ジアセトンアルコール

配合割合: 75体積部

【0023】そして、焼き付け後(外部電極4を形成した後)に、外部電極4と素子3の間に表1に示すような厚みTの反応層が形成されるように、導電ペーストを素子3に所定の厚みで塗布して、800°Cで10分間の

焼付けを行った。

【0024】それから、形成された外部電極4に、Niめっき及びSnめっき(又はSn/Znめっき)を行い、積層セラミックコンデンサを得た。

【0025】そして、この積層セラミックコンデンサについて、静電容量、めっき劣化による絶縁不良率、耐湿負荷試験1000時間後の不良率、Niめっき付着面積率を測定するとともに、これらの測定結果から、積層セラミックコンデンサとしての総合評価を行った。その結果を表1に示す。

【0026】

【表1】

試料番号	反応層の厚みT(μm)	静電容量(nF)	めっき劣化による絶縁不良率(ppm)	耐湿負荷試験1000時間後の不良率(%)	Niめっき付着面積率(%)	総合評価
*1	0.0	131	70	7	100	×
*2	0.05	132	33	3	100	△
3	0.1	130	18	1	100	○
4	0.5	131	16	0	100	◎
5	1.0	132	13	0	100	◎
6	2.0	132	12	0	99	◎
7	3.0	130	7	0	94	○
*8	3.3	107	3	0	84	×

【0027】なお、表1において、試料番号に*印を付したものは、本願発明の範囲外の比較例であり、その他は本願発明の範囲内の実施例である。表1において、総合評価の◎は特に良好、○は良好、△はやや問題あり、×は不良であることを示している。また、表1の反応層の厚みTの値は、断面顕微鏡写真から求めた値の平均値である。

【0028】表1より、反応層の厚みTが0.1μm未満の比較例(試料番号1, 2)においては、静電容量及びNiめっき付着面積率について、良好な結果が得られているが、めっき劣化による絶縁不良率及び耐湿負荷試験1000時間後の不良率が大きくなってしまい、好ましくないことがわかる。

【0029】また、反応層の厚みTが3.0μmを超える比較例(試料番号8)においては、めっき劣化による絶縁不良率及び耐湿負荷試験1000時間後の不良率について、良好な結果が得られているが、静電容量及びNiめっき付着面積率が低下しており、好ましくないことがわかる。

【0030】これに対して、反応層の厚みTが0.1~3.0μmの範囲にある本願発明の実施例(試料番号

3, 4, 5, 6, 7)においては、静電容量、めっき劣化による絶縁不良率、耐湿負荷試験1000時間後の不良率、Niめっき付着面積率、並びに総合評価のいずれに関しても良好な結果が得られていることがわかる。

【0031】【実施形態2】この実施形態では、所望の厚みを有する反応層を形成することが可能な条件について検討するため、外部電極形成用の導電ペースト中のガラスフリットの種類、配合割合を変化させるとともに、導電ペーストを焼き付ける場合の焼き付け温度を変化させて、ガラスフリットの種類、配合割合、及び焼き付け温度と、形成される反応層の厚みの関係を調べた。

【0032】なお、この実施形態においては、外部電極4を形成するための導電ペーストとして、下記の組成を有する導電ペーストを用いた。

① 導電成分

成分 : Cu

配合割合: 18~22体積部

② ガラスフリット

成分 : ホウ珪酸亜鉛系ガラスフリット

配合割合: 3~7体積部

③ ワニス

成分 : エチルセルロール系樹脂+ジアセトンアルコール

配合割合: 75体積部

【0033】表2に、この実施形態2において調べたガ

ラスフリットの種類、配合割合及び焼き付け温度と、形成された反応層の厚みとの関係を示す。

【0034】

【表2】

試料番号	ガラスフリットの種類	ガラスフリットの配合割合(体積部)	各焼き付け温度における反応層の厚み(μm)		
			温度700°C	温度800°C	温度900°C
9	ホウ珪酸亜鉛系ガラスフリット	3	0.3	0.6	0.9
10	ホウ珪酸亜鉛系ガラスフリット	5	0.7	0.8	1.1
11	ホウ珪酸亜鉛系ガラスフリット	7	1.3	1.9	2.2
12	ホウ珪酸鉛系ガラスフリット	3	1.2	1.4	1.8
13	ホウ珪酸鉛系ガラスフリット	5	1.6	1.9	2.5
14	ホウ珪酸鉛系ガラスフリット	7	1.8	2.5	2.8
15	ホウ珪酸ビスマス系ガラスフリット	3	0.1	0.5	0.6
16	ホウ珪酸ビスマス系ガラスフリット	5	0.4	0.5	0.7
17	ホウ珪酸ビスマス系ガラスフリット	7	0.6	1.0	1.3
*18	ホウ珪酸パリウム系ガラスフリット	3	0	0	0
*19	ホウ珪酸パリウム系ガラスフリット	5	0	0	0
*20	ホウ珪酸パリウム系ガラスフリット	7	0	0	0

【0035】表2において、試料番号に*印を付したものは、本願発明の範囲外の比較例であり、その他は本願発明の範囲内の実施例である。また、表2において、ガラスフリットの配合割合は、導電成分であるCu粉末100体積部に対するガラスフリットの配合割合(体積部)を示している。

【0036】表2より、ガラスフリットの配合割合を3~7体積部の範囲とし、700~900°Cの温度で焼き付けることにより、本願発明の範囲内の0.1~3.0μmの厚みを有する反応層を確実に形成できることがわかる。なお、表2では、焼き付け温度を700°C、800°C、900°Cとした場合について示しているが、諸条件を調整することにより、焼き付け温度500~1000°Cの範囲で、好ましい膜厚を有する反応層が得られることが確認されている。

【0037】なお、上記実施形態1では導電ペースト中の導電成分がAgである場合、実施形態2では導電成分がCuである場合を例にとって説明したが、Ni、Pd、Ag-Pd合金などを導電成分とする導電ペーストを用いることも可能である。

【0038】また、上記実施形態1及び2では、導電ペースト中のガラスフリットとして、ホウ珪酸亜鉛系ガラ

スフリットを用いた場合を例にとって説明したが、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットなどを用いることも可能である。

【0039】なお、好ましい厚みを有する反応層を形成するための条件、すなわち、ガラスフリットの種類、配合割合、焼き付け温度などは、導電成分(金属粉末)の種類や形状、ガラスフリットの組成などにより変動するものであるが、Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットとを配合してなる導電ペーストを用いる場合においては、通常、導電成分100体積部に対して、ガラスフリット5~40体積部を配合し、500~1000°Cの温度条件で焼付けを行うことにより、0.1~3.0μmの厚みを有する反応層を形成することが可能である。

【0040】上記実施形態では、積層セラミックコンデンサーを製造する場合を例にとって説明したが、本願発明

は、積層セラミックコンデンサに限らず、積層LC複合部品などの、セラミック中に内部電極が配設された素子に内部電極と導通する外部電極を配設してなるセラミック電子部品及びその製造方法に広く適用することが可能であり、その場合にも上記実施例の場合と同様の効果を得ることができる。

【0041】本願発明は、さらにその他の点においても、上記実施形態に限定されるものではなく、セラミック電子部品を構成するセラミックの種類、内部電極及び外部電極を構成する材料の種類、導電ペーストの焼き付け工程やセラミックの焼成工程における温度条件や雰囲気条件などに関し、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

【0042】

【発明の効果】上述のように、本願発明（請求項1）のセラミック電子部品は、外部電極と素子の間に形成される反応層の厚みを0.1～3.0μmの範囲とすることにより、ガラスフリットが多すぎたり、少なすぎたりすることに起因する諸問題の発生を抑制することが可能になり、①外部電極を構成する金属間や、金属と素子を構成するセラミックとの界面にガラスフリットが入り込むことによりめっき液などに対するシール性や耐候性を向上させたり、②過剰なガラスフリットが外部電極の表面に析出することを抑制してメッキ付き性を向上させたり、③素子を構成するセラミックと外部電極との界面にガラスフリットが析出しそぎることを防止して内部電極と外部電極との接続性を向上させたりすることができる。

【0043】また、請求項2のセラミック電子部品のように、Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットとを、導電成分100体積部に対して、5～40体積部の割合で含有する導電ペーストを、素子に塗布して焼き付けるようにした場合、外部電極及び反応層を効率よく形成することができ、本願発明を実効あらしめることができる。

【0044】また、請求項3のセラミック電子部品のように、上記の導電ペーストを素子に塗布して500～1000°Cの温度で焼き付けるようにした場合、外部電極と素子の間に厚みが0.1～3.0μmの反応層を、確実に、しかも効率よく形成することが可能になり、本願発明をより実効あらしめることができる。

【0045】また、本願発明（請求項4）のセラミック電子部品の製造方法は、Cu、Ni、Ag、Pd、及びAg-Pd合金からなる群より選ばれる少なくとも1種の導電成分と、ホウ珪酸亜鉛系ガラスフリット、ホウ珪酸鉛系ガラスフリット、ホウ珪酸ビスマス系ガラスフリット、ホウビスマス亜鉛系ガラスフリット、ホウ亜鉛鉛系ガラスフリットからなる群より選ばれる少なくとも1種のガラスフリットを含有する導電ペーストを塗布して焼き付けるようにしているので、外部電極を形成する際に、同時に、セラミックとガラスフリットの反応により生成する厚みが0.1～3.0μmの反応層を形成することが可能になり、上記請求項1～3のいずれかに記載のセラミック電子部品を効率よく製造することができる。

【0046】また、請求項5のセラミック電子部品の製造方法のように、導電ペーストを素子に塗布し、500～1000°Cの温度で焼き付けるようにした場合、外部電極を形成する際に、同時に、セラミックとガラスフリットの反応により生成する厚みが0.1～3.0μmの反応層を効率よく形成することができ、本願発明をさらに実効あらしめることができる。

【図面の簡単な説明】

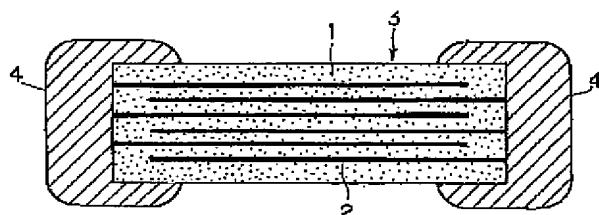
【図1】本願発明の一実施形態にかかるセラミック電子部品（積層セラミックコンデンサ）を示す断面図である。

【図2】従来のセラミック電子部品（積層セラミックコンデンサ）を示す断面図である。

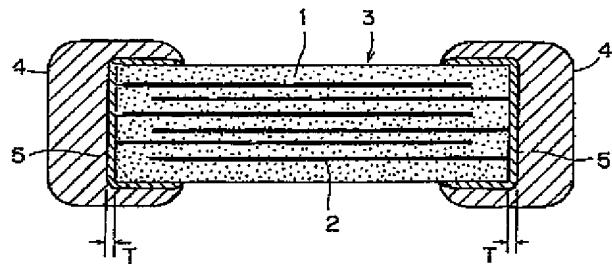
【符号の説明】

1	セラミック
2	内部電極
3	素子
4	外部電極
5	反応層
T	反応層の厚み

【図2】



【図1】



フロントページの続き

Fターム(参考) 5E001 AB03 AC03 AC10 AD03 AE02
AE03 AF00 AF06 AH01 AH07
AH08 AJ03
5E082 AA01 AB03 BC19 BC40 EE23
EE41 FF14 FG26 FG51 GG10
GG11 GG12 GG26 GG28 HH43
JJ03 JJ05 JJ12 JJ21 JJ23
LL01 MM24 PP03 PP06 PP09
5G301 DA03 DA06 DA10 DA11 DA34
DA35 DA36 DA38 DA42 DD01